

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-086874  
(43)Date of publication of application : 31.03.1995

(51)Int.Cl.

H03H 11/12  
H03H 11/04

(21)Application number : 05-230093  
(22)Date of filing : 16.09.1993

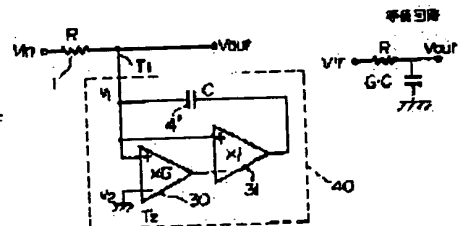
(71)Applicant : HITACHI LTD  
(72)Inventor : TANBA HIROKO  
YAMAKIDO KAZUO

## (54) VARIABLE CAPACITY CIRCUIT AND ANALOG FILTER CIRCUIT

### (57)Abstract:

**PURPOSE:** To prevent the variance of the cut-off frequency despite the variance of capacity or the resistance value by using the mirror capacity seeming like double gain of an operational amplifier as the capacity of a CR filter circuit and by controlling the gain of the operational amplifier.

**CONSTITUTION:** The mirror capacity consists of an operational amplifier 30 and a capacitor element 4' which is connected between an output terminal and an inverted input terminal of the amplifier 30. A 1st terminal T1 and a 2nd terminal T2 of a variable capacitor circuit 40 are connected to a resistor R and an AC ground potential respectively. The cut-off frequency of a CR filter circuit is shown as  $f_c = 1/2\pi GCR$  and can be kept constant by controlling the gain G of the amplifier 30 so as to set the overall apparent CR value of the circuit 40 at a prescribed level despite the variance of the capacitor value C of the element 4' included in the circuit 40. The gain of the amplifier 30 can be controlled by an existing gain control method like the control of current of a constant current source included in the amplifier 30, etc.



## LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-86874

(43) 公開日 平成7年(1995)3月31日

(51) IntCl <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/12	B	8628-5 J		
11/04	G	8628-5 J		

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平5-230093  
(22) 出願日 平成5年(1993)9月16日

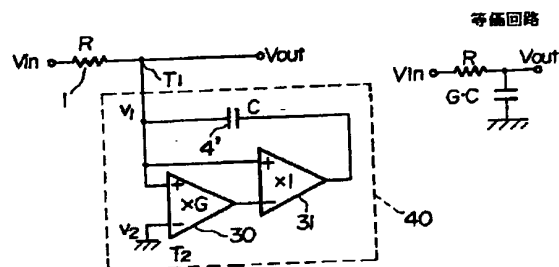
(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 丹場 裕子  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72) 発明者 山木戸 一夫  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(74) 代理人 弁理士 大日方 富雄

(54) 【発明の名称】 可変容量回路およびアナログフィルタ回路

(57) 【要約】

【構成】 CRフィルタ回路の容量として、オペアンプの利得倍に見えるミラー容量を用い、オペアンプの利得を制御することにより見かけ上の容量値を調整するようにした。

【効果】 オペアンプの利得を制御することによりCRフィルタ回路の容量の値を調整することができるため、半導体基板上に形成された容量素子の値がばらついていてもフィルタ回路のカットオフ周波数を一定に調整することができる。



## 【特許請求の範囲】

【請求項 1】 演算増幅器と該演算増幅器の出力端子と  
いずれか一方の入力端子との間に接続された容量素子と  
を含み、該演算増幅器の利得を制御することにより上記  
容量素子の演算増幅器の入力端子側の電極が接続された  
第 1 の端子から見た容量値が可変となるようにされ、上  
記演算増幅器の上記容量素子が接続されていない側の入  
力端子を第 2 の端子としたことを特徴とする可変容量回  
路。

【請求項 2】 抵抗素子と容量素子とを含むアナログフ  
ィルタ回路において、上記容量素子として請求項 1 記載  
の可変容量回路を用い、その第 1 の端子を上記抵抗素子  
の一方の端子に、また上記第 2 の端子を交流的接地電位  
もしくは定電位にそれぞれ接続してなることを特徴とす  
るアナログフィルタ回路。

【請求項 3】 モニタ用のフィルタ回路と、該フィルタ  
回路のカットオフ周波数が所望の値になるように内部の  
演算増幅器の利得を制御するフィードバック回路とから  
なる利得制御回路を備え、このモニタ用のフィルタ回路  
の利得制御信号と同一の信号により、上記可変容量回路  
内の演算増幅器の利得を制御するように構成されている  
ことを特徴とする請求項 2 記載のアナログフィルタ回  
路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は信号処理技術さらにはア  
ナログフィルタ回路およびそれに利用して好適な可変容  
量回路に関し、特に半導体集積回路化するのに好適なア  
ナログフィルタ回路に関する。

## 【0002】

【従来の技術】 従来、半導体集積回路化されたアナログ  
フィルタ回路として容量と抵抗とを用いた図 8 に示すよ  
うな CR フィルタ回路が知られている。図 8 のフィルタ  
回路は、アナログ入力端子 A<sub>in</sub> と演算増幅器（以下、  
オペアンプと称する）3 の非反転入力端子との間に、入  
力抵抗 1 と CR 回路 2 とを接続し、上記オペアンプ 3 の  
出力信号を反転入力端子にフィードバックするととも  
に、オペアンプ 3 の出力端子と CR 回路 2 の入力端子と  
の間には上記 CR 回路 2 内の容量素子の 2 倍の容量値を  
有する容量素子 4 を接続したもので、カットオフ周波数  
が  $f_c = 1 / 2\pi CR$  で示されるような特性を有する。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上述し  
た技術には、次のような問題のあることが本発明者らに  
よってあきらかとされた。すなわち、上記フィルタ回路  
を半導体集積回路化した場合、製造ばらつきにより CR  
回路 2 を構成する容量と抵抗の値がそれぞれ 20%、3  
0% 程度変動してしまい、これによってカットオフ周波  
数  $f_c$  がばらついてしまうというものである。

【0004】 この発明の目的は、半導体集積回路化され

た場合に、容量や抵抗の値がばらついてもカットオフ周  
波数がばらつかないようなアナログフィルタ回路および  
それに適した可変容量回路を提供することにある。本発  
明の他の目的は、カットオフ周波数を回路の用途に応じ  
て調整可能なアナログフィルタ回路を提供することにあ  
る。この発明の前記ならびにそのほかの目的と新規な特  
徴については、本明細書の記述および添付図面から明ら  
かになるであろう。

## 【0005】

【課題を解決するための手段】 本願において開示される  
発明のうち代表的なものの概要を説明すれば、下記のと  
おりである。すなわち、CR フィルタ回路の容量とし  
て、オペアンプの利得倍に見えるミラー容量を用い、オ  
ペアンプの利得を制御することにより見かけ上の容量値  
を調整するようにしたものである。

## 【0006】

【作用】 上記した手段によれば、オペアンプの利得を制  
御することにより CR フィルタ回路の容量の値を調整す  
ることができるため、半導体基板上に形成された容量素  
子の値がばらついてもフィルタ回路のカットオフ周波数  
を一定に調整することができるようになる。

## 【0007】

【実施例】 図 1 には、本発明に係るアナログフィルタ回  
路に利用して好適な可変容量回路の第 1 の実施例とその  
等価回路が示されている。図 1 の可変容量回路は、オペ  
アンプ 3'0 とその出力端子と反転入力端子との間に接続  
された容量素子 4' とによりミラー容量を構成したもので  
、オペアンプ 3'0 の利得を G、容量素子 4' の容量値  
を C、容量素子 4' が接続された第 1 の端子 T<sub>1</sub> の電圧  
を  $v_1$ 、オペアンプ 3 の非反転入力端子が接続された第  
2 の端子 T<sub>2</sub> の電圧を  $v_2$  とすると、第 1 の端子 T<sub>1</sub> から  
見た回路のインピーダンス Z は、  
$$Z = (v_1 - v_2) / i = 1 / (1 + G) C$$
  
で表わされる。これより、図 1 の可変容量回路の見かけ  
上の容量値は、容量素子 4' の容量値 C の (1 + G) 倍  
となる。従って、オペアンプ 3'0 の利得 G を制御するこ  
とにより回路の見かけ上の容量値を調整できることが分  
かる。

【0008】 図 2 には、本発明に係るアナログフィルタ  
回路に利用して好適な可変容量回路の第 2 の実施例とその  
等価回路が示されている。図 2 の可変容量回路は、図  
1 の可変容量回路の第 1 の端子 T<sub>1</sub> に、さらに容量素子  
4'' とオペアンプ 3'1 とからなるミラー容量を接続した  
もので、オペアンプ 3'1 の利得を 2 とすることで、回路  
全体としての見かけ上の容量値は、容量素子 4'、4''  
の容量値 C の G 倍（G はオペアンプ 3'0 の利得）とな  
り、図 1 の回路に比べて容量値の調整が容易な構成とな  
っている。なお、半導体集積回路では同一チップ上の容  
量素子や抵抗素子の比は比較的精度良く形成できるた  
め、上記容量素子 4' の容量値と 4'' の容量値はほぼ等

3

しくことができ、回路全体としての見かけ上の容量値  $G C$  のばらつきは極めて小さいものとなる。

【0009】図3には、本発明に係るアナログフィルタ回路に利用して好適な可変容量回路の第3の実施例とその等価回路が示されている。図3の可変容量回路は、利得が1のオペアンプ31の出力端子と非反転入力端子との間に容量素子4'を接続し、オペアンプ31の反転入力端子には、非反転入力端子がオペアンプ31の非反転入力端子と共に第1の端子T1に接続されてなる利得Gのオペアンプ30の出力端子を接続したもので、回路全体としての見かけ上の容量値は、容量素子4'の容量値CのG倍となり、容量値の調整が容易な構成となっている。

【0010】図4には、図3に示されている可変容量回路40を容量素子として用いたCRフィルタ回路の一実施例とその等価回路が示されている。この場合、可変容量回路40の第1の端子T1が抵抗Rの側に接続され、第2の端子T2は交流的地電位に接続される。このCRフィルタ回路のカットオフ周波数は  $f_c = 1 / 2\pi G C$  CRで示められるので、図3の可変容量回路内の容量素子4'の容量値Cがばらついてもオペアンプ30の利得Gを制御して回路全体としての見かけ上のCR値が所定の値になるように調整することにより、カットオフ周波数を一定にできることが分かる。オペアンプ30の利得の制御は、例えばオペアンプ内の定電流源の電流を制御する方法等公知の利得制御方法を応用することによって可能である。

【0011】図5には、図8に示されているCRフィルタ回路を構成する容量素子として、図3に示されている可変容量回路を用いた実施例とその等価回路が示されている。図5中において、破線で囲まれている回路40、41がそれぞれ図8における容量素子に相当する。可変容量回路40、41内の容量素子4'と4''の容量値は素子4''が素子4'の2倍の大きさとなるように形成される。この実施例のフィルタ回路にあっては、可変容量回路内にオペアンプを有するため、その利得が大きくなるように設計してやれば、図8の回路に比べて各容量素子の値つまり素子のサイズを小さくしても同等の性能を得ることができる。従って、素子数は図8の回路に比べて多いが、回路全体の面積は図5の回路の方が小さくすることができる。図5のフィルタ回路では、次段の回路の入力インピーダンスが高い場合にオペアンプ3を省略することもできる。

【0012】図6には、CRフィルタ回路とその利得を制御する利得制御回路7とを備えた本発明の他の実施例が示されている。この実施例の利得制御回路7は、モニタ用のフィルタ回路(図示省略)と、そのフィルタ回路のCR積をモニタしてカットオフ周波数が所望の値になるように内部のオペアンプの利得を制御するフィードバック回路を備えており、このモニタ用のフィルタ回路の

4

利得制御信号と同一の信号により、可変容量回路40、41内のオペアンプ30および31の利得を制御するように構成されている。なお、図6の実施例におけるCRフィルタ回路の部分は図5の実施例におけるオペアンプ3を省略したものと同一の構成である。

【0013】図7には、図4および図5に示されているフィルタ回路(ロウパスフィルタ)の応用例としての無線通信システムが示されている。同図において、50はマイクロホンMPとスピーカSPKに接続され音声信号と電気信号との間の変換およびアナログ信号とデジタル信号との間の変換を行なう音声コーデック、60は時分割処理や誤り訂正の符号の生成およびチェック、送受信フレームの組立ておよび解析等を行なうチャンネルコーディング回路、70は送受信信号の変調、復調を行なうモデム(変復調回路)である。

【0014】上記音声コーデック50は、ロウパスフィルタ51、52と、A/D変換器53、D/A変換器54と、コーダー55、デコーダー56等から構成されている。また、上記モデム70は、ロウパスフィルタ71、72と、D/A変換器73、A/D変換器74と、変調器75、復調器76等から構成されている。特に制限されないが、上記音声コーデック50とチャンネルコーディング回路60とモデム(変復調回路)70は、各々1つの半導体チップ上に形成されてそれぞれが半導体集積回路化されている。なお、図7において、81は送信用のアンテナ、82は送信用のパワーアンプ、83はキャリア信号を発生するシンセサイザ、84a、84bは送受信信号に上記キャリア信号を合成する加算器である。

【0015】この実施例では、上記ロウパスフィルタ51、52や71、72として、図4および図5に示されているフィルタ回路が使用されており、音声コーデック50やモデム70内には、上記各ロウパスフィルタ51、52や71、72の利得を制御するための信号を発生する利得制御回路57や77が設けられている。しかも、利得制御回路57はロウパスフィルタ51と52に対して共通に設けられ、利得制御回路77はロウパスフィルタ71と72に対して共通に設けられている。同一半導体チップ上の容量素子や抵抗素子の比は比較的精度良く形成できるため、利得制御回路57や77を同一チップ上の複数のフィルタ回路に対して共通に設けてもそれぞれのカットオフ周波数を精度良く一定に制御することができる。また、実施例のように利得制御回路を共通化することにより、占有面積の増加を抑えることができる。

【0016】なお、上記利得制御回路57や77は、図6の実施例で説明したようなモニタ用のフィルタ回路とフィードバック回路を含むものであっても良いし、外部からの設定信号あるいは同一チップ上に設けられたヒューズ等のプログラム可能な素子を含むような調整回路か

(4)

6

らの信号に基づいて、オペアンプに対する利得制御信号を発生するようなものであっても良い。さらに、図7に示されている無線通信システムは、上記音声コーデック50、チャンネルコーディング回路60およびモデム(変復調回路)70と、これらを統括的に制御するマイクロコンピュータとによって構成されてもよい。

【0017】以上説明したように、上記実施例は、CRフィルタ回路の容量として、オペアンプの利得倍に見えるミラー容量を用い、オペアンプの利得を制御することにより見かけ上の容量値を調整するようにしたので、オペアンプの利得を制御することによりCRフィルタ回路の容量の値を調整することができるため、半導体基板上に形成された容量素子の値がばらついてもフィルタ回路のカットオフ周波数を一定に調整することができるという効果がある。また、用途に応じて外部からカットオフ周波数を変更することもできるようになる。

【0018】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば本発明は、図5の2次のバターワース・ローパスフィルタ以外の方式にも適用可能である。また、図7の実施例における音声コーデック50とチャンネルコーディング回路60とモデム(変復調回路)70は、1つの半導体チップ上に形成することが可能であり、しかもその場合、利得制御回路57と77を1本化することができる。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフィルタ回路に適用した場合について説明したが、本発明は容量素子を有するアナログ集積回路一般に利用することができる。

【0019】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、半導体集積回路化された場合に、容量や抵抗の値がばらついてもカットオフ周波数

がばらつかないアナログフィルタおよび用途に応じてカットオフ周波数を制御可能なアナログフィルタを容易に実現することができる。

【図面の簡単な説明】

【図1】本発明に係る可変容量回路の第1の実施例とその等価回路を示す回路図、

【図2】本発明に係る可変容量回路の第2の実施例とその等価回路を示す回路図、

【図3】本発明に係る可変容量回路の第3の実施例とその等価回路を示す回路図、

【図4】図3に示されている可変容量回路を容量素子として用いたCRフィルタ回路の一実施例とその等価回路を示す回路図、

【図5】図3に示されている可変容量回路を容量素子として用いたCRフィルタ回路の他の実施例とその等価回路を示す回路図、

【図6】図3に示されている可変容量回路を容量素子として用いたCRフィルタ回路とその利得制御回路とを備えた実施例を示す回路図、

【図7】図4および図5に示されているCRフィルタ回路の応用例としての無線通信システムの構成例を示すブロック図、

【図8】従来のCRフィルタ回路の一例を示す回路図である。

【符号の説明】

3, 30, 31 演算増幅器 (オペアンプ)

4, 4', 4'' 容量素子

40, 41 可変容量回路

50 音声コーデック

60 チャンネルコーディング回路

70 モデム (変復調回路)

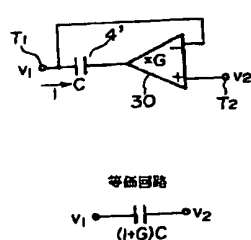
51, 52, 71, 72 ローパスフィルタ

53, 74 A/D変換器

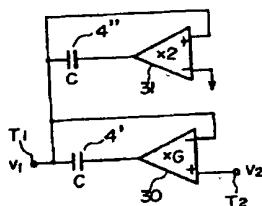
54, 73 D/A変換器

57, 77 利得制御回路

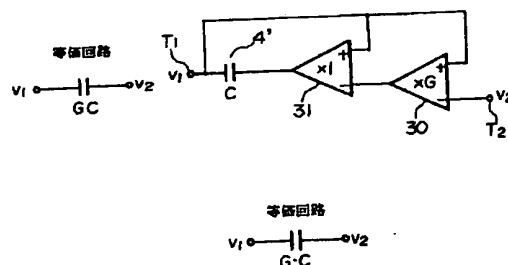
【図1】



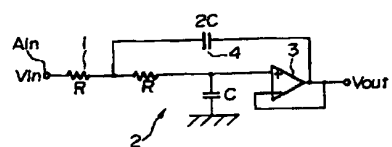
【図2】



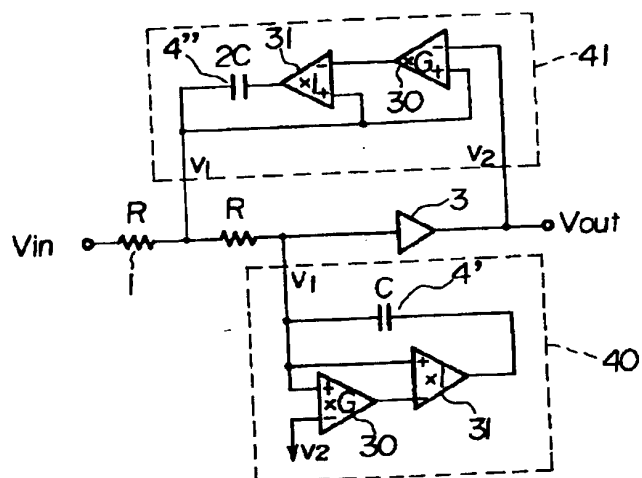
【図3】



【图8】



【图5】



### 等価回路

